
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010061560 A
(43)Date of publication of application: 07.07.2001

(21)Application number: 1019990064056
(22)Date of filing: 28.12.1999

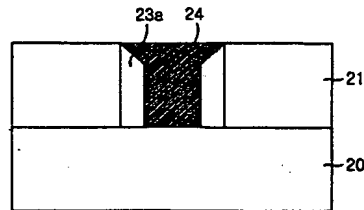
(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: CHOI, HONG GIL
PARK, WON SEONG
SONG, IL SEOK

(51)Int. Cl. H01L 21/20

(54) METHOD FOR FORMING ISOLATION LAYER USING SELECTIVE EPITAXIAL GROWTH

(57) Abstract:

PURPOSE: A method for forming an isolation layer is to prevent a thinning of a gate oxide layer and a residue of a gate electrode forming substance in patterning a gate, using SEG(selective epitaxial growth).



CONSTITUTION: An oxide layer(21) is deposited on a silicon substrate(20) to form an insulating region. A photoresist pattern is formed on the oxide layer and then patterned. The photoresist pattern lies upon the isolation region. After selectively etching the oxide layer to expose the silicon substrate using the photoresist pattern as an etch mask, the photoresist pattern is removed. A nitride layer is deposited on the entire structure and then etched to form a nitride layer spacer(23a) on a sidewall of the oxide layer. The SEG silicon layer grows on the exposed silicon substrate to bury a hole defined by the oxide layer. By a profile of the nitride layer spacer, an over-growing of the SEG silicon layer is prevented.

COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)

특 2001-0061560

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

(11) 공개번호 특2001-0061560

H01L 21/20

(43) 공개일자 2001년07월07일

(21) 출원번호 10-1999-0064056

(22) 출원일자 1999년 12월28일

(71) 출원인 주식회사 하이닉스반도체 박종섭

경기 이천시 부발읍 마미리 산136-1

(72) 발명자 송일석

경기도이천시청전4동427-37도원빌라302호

최홍길

서울특별시서초구방배3동1020-1청광빌라A동201호

박원성

경기도평택시미충동459

(74) 대리인 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최중식, 특허
법인 신성 박정후, 특허법인 신성 정지원

심사청구 : 있음

(54) 선택적 에피택셜 성장 기술을 이용한 소자 분리막 형성방법

요약

본 발명은 SEG 실리콘의 과성장예 의해 유발되는 게이트 산화막 씌임 현상 및 게이트 전극 물질의 레지듀 발생을 방지하는 선택적 에피택셜 실리콘 성장 기술을 이용한 소자 분리막 형성방법을 제공하는데 그 목적이 있다. 상기 목적을 달성하기 위한 본 발명은, 반도체 장치의 소자 분리막 형성방법에 있어서, 실리콘 기판 상에 제1절연층을 형성하는 제1 단계; 상기 제1절연층을 선택식각하는 제2 단계; 상기 제1절연층의 측벽에 상기 제1절연층과 식각선택비를 갖지는 제2절연층을 사용하여 스페이서를 형성하는 제3 단계; 및 상기 제3 단계 수행 후 노출된 상기 실리콘 기판 상에 선택적 에피택셜 실리콘층을 형성하여 상기 제1절연층 및 상기 스페이서에 의해 정의된 홈을 매립하는 제4 단계를 포함하여 이루어진다.

도면

도1

도2

실리콘 기판, 산화막, 질화막 스페이서, SEG 실리콘층

도면

도면의 간단한 설명

도1a 내지 도1e는 종래기술에 따른 SEG 기술을 이용한 소자 분리막 형성 공정을 도시한 도면.

도2a 내지 도2f는 본 발명의 일 실시예에 따른 SEG 기술을 이용한 소자 분리막 형성 공정을 도시한 도면.

*도면의 주요부분에 대한 부호의 간단한 설명

20 : 실리콘 기판 21 : 산화막

23a : 질화막 스페이서 24 : SEG 실리콘층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술분야에 관한 것으로, 특히 반도체 제조 공정 중 소자간의 전기적 격리를 위한 소자 분리 공정에 관한 것이며, 더 자세히는 선택적 에피택셜 성장(Selective Epitaxial Growth, SEG) 기술을 이용한 소자 분리막 형성방법에 관한 것이다.

트렌치 소자 분리 공정은 통상적인 LOCOS(Local Oxidation of Silicon) 공정에서 유발되는 버즈 비크(Bird's Beak) 문제와, STI(Shallow Trench Isolation) 공정에서 유발되는 작은 공간에서의 갭-필링(gap-filling) 문제를 해결할 수 있어 향후 16 DRAM 또는 4G DRAM급 이상의 초고집적 반도체 장치 제조 공정에서의 적용이 유망한 기술이다. 그러나, 이러한 트렌치 소자 분리 공정은 절연물의 매립 특성을 확보하기 어려운 단점이 있다.

최근, 이러한 종래의 트렌치 소자분리 공정시의 문제를 해결하기 위하여 SEG 기술을 적용한 기술이 제시되고 있다.

첨부된 도면 도 1a 내지 도 1e는 종래기술에 따른 SEG 기술을 이용한 소자 분리막 형성 공정을 도시한 것으로, 이하 이를 참조하여 그 공정을 설명한다.

우선, 도 1a에 도시된 바와 같이 실리콘 기판(10)에 소자 분리 영역 형성을 위한 산화막(11)을 전면 증착한다.

다음으로, 도 1b에 도시된 바와 같이 산화막(11) 상부에 감광막 패턴(12)을 형성한다. 이때, 감광막 패턴(12)은 소자 분리 영역에 오버랩 되도록 형성한다.

계속하여, 도 1c에 도시된 바와 같이 감광막 패턴(12)을 식각 마스크로 하여 실리콘 기판(10)이 노출되도록 산화막(11)을 선택식각한 후 감광막 패턴(12)을 제거한다.

다음으로, 도 1d에 도시된 바와 같이 노출된 실리콘 기판(10) 상에 SEG 실리콘층(13)을 성장시킨다.

마지막으로, 도 1e에 도시된 바와 같이 HF 또는 BOE용액을 사용한 통상의 게이트 산화막 성장 전 세정공정(Pre-cleaning)을 실시한다. 이때, 산화막(11)이 어느정도 손실되는데, 전 단계의 SEG 실리콘층(13) 성장 시 홀 내부를 완전히 매립하기 위해서는 도면과 같이 산화막(11) 위까지 과성장될 수 밖에 없고, 이때 때문에 과성장된 SEG 실리콘층(13) 하부에 언더컷(undercut) 영역(A)이 형성된다. (확대도 참조)

이러한 SEG 실리콘층(13)의 언더컷 영역(A)에서는 그 열악한 프로파일에 의해 후속 게이트 산화막 성장 시 썸닝(thinning)현상이 유발되며, 후속 게이트 패터닝 시 게이트 전극 물질이 완전히 제거되지 않고 레지듀(residue)로 잔류하게 되어 소자의 신뢰도를 저하시키는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 SEG 실리콘의 과성장예 의해 유발되는 게이트 산화막 썸닝 현상 및 게이트 전극 물질의 레지듀 발생을 방지하는 선택적 에피택셜 실리콘 성장 기술을 이용한 소자 분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 반도체 장치의 소자 분리막 형성방법에 있어서, 실리콘 기판 상에 제1절연층을 형성하는 제1 단계; 상기 제1절연층을 선택식각하는 제2 단계; 상기 제1절연층의 측벽에 상기 제1절연층과 식각선택비를 갖지는 제2절연층을 사용하여 스페이서를 형성하는 제3 단계; 및 상기 제3 단계 수행 후 노출된 상기 실리콘 기판 상에 선택적 에피택셜 실리콘층을 형성하여 상기 제1절연층 및 상기 스페이서에 의해 정의된 홀을 매립하는 제4 단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

첨부된 도면 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 SEG 기술을 이용한 소자 분리막 형성 공정을 도시한 것으로, 이하 이를 참조하여 그 공정을 설명한다.

우선, 도 2a에 도시된 바와 같이 실리콘 기판(20) 상에 절연지역 형성을 위한 산화막(21)을 전면 증착한다.

다음으로, 도 2b에 도시된 바와 같이 산화막(21) 상부에 감광막 패턴(22)을 형성하여 패터닝한다. 이때, 감광막 패턴(22)은 소자 분리 영역에 오버랩 되도록 형성한다.

계속하여, 도 2c에 도시된 바와 같이 감광막 패턴(22)을 식각 마스크로 하여 실리콘 기판(20)이 노출되도록 산화막(21)을 선택식각한 후 감광막 패턴(22)을 제거한다.

이어서, 도 2d에 도시된 바와 같이 전체구조 표면을 따라 질화막(23)을 증착하고, 도 2e에 도시된 바와 같이 질화막(23)을 전면 식각하여 패터닝된 산화막(21) 측벽에 질화막 스페이서(23a)를 형성한다.

다음으로, 도 2e에 도시된 바와 같이 노출된 실리콘 기판(20) 상에 SEG 실리콘층(24)을 성장시켜 산화막(21)에 의해 정의된 홀을 매립한다. 이때, 질화막 스페이서(23a)의 프로파일에 의해 SEG

실리콘층(24)의 과성장 현상이 없어지고, 증래와 같이 산화막(21) 상부를 덮는 영역이 나타나지 않기 때문에 후속 게이트 산화막 성장 전 세정공정을 실시하여 산화막(21)의 손실이 발생하더라도 언더컷에 의한 SF6 실리콘층(23)의 에지부분에서의 프로파일 열화가 발생하지 않게된다. 따라서, 게이트 산화막 씨닝 현상 및 게이트 전극 물질의 레지듀 발생을 방지할 수가 있다.

한편, 질화막 스페이서(23a)가 게이트 산화막 성장 전 세정공정 시 베리어 역할을 수행함으로써, 충분한 세정공정을 실시할 수 있게 된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

예컨대, 전술한 실시예에서는 질화막 스페이서를 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 산화막과 식각 선택비를 가지는 다른 절연막을 대신하여 사용하는 경우에도 적용될 수 있다.

발명의 효과

본 발명은 씨닝 및 레지듀 발생을 억제하는 효과가 있으며, 이로 인하여 반도체 장치의 동작 특성 및 신뢰도를 개선할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체 장치의 소자 분리막 형성방법에 있어서,

실리콘 기판 상에 제1절연층을 형성하는 제1 단계;

상기 제1절연층을 선택식각하는 제2 단계;

상기 제1절연층의 측벽에 상기 제1절연층과 식각선택비를 갖지는 제2절연층을 사용하여 스페이서를 형성하는 제3 단계; 및

상기 제3 단계 수행 후 노출된 상기 실리콘 기판 상에 선택적 에피택셜 실리콘층을 형성하여 상기 제1절연층 및 상기 스페이서에 의해 정의된 홀을 매립하는 제4 단계를 포함하여 이루어진 반도체 장치의 소자 분리막 형성방법.

청구항 2. 제1항에 있어서,

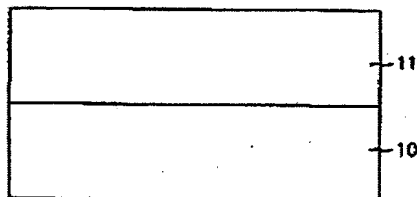
상기 제1절연층은 산화막인 것을 특징으로 하는 반도체 장치의 소자 분리막 형성방법.

청구항 3. 제1항에 있어서,

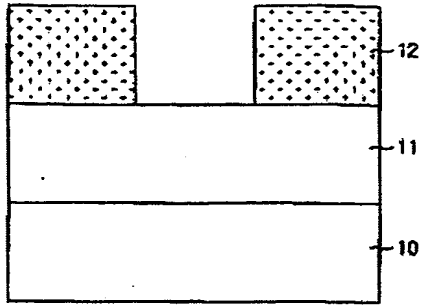
상기 제2절연층은 플라즈마여기화학기상증착 방식의 질화막인 것을 특징으로 하는 반도체 장치의 소자 분리막 형성방법.

도면

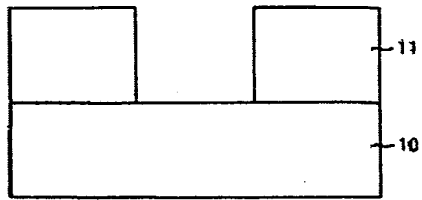
도면 1a



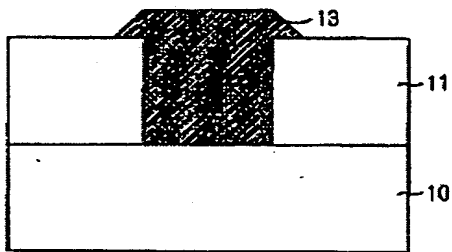
도면1b



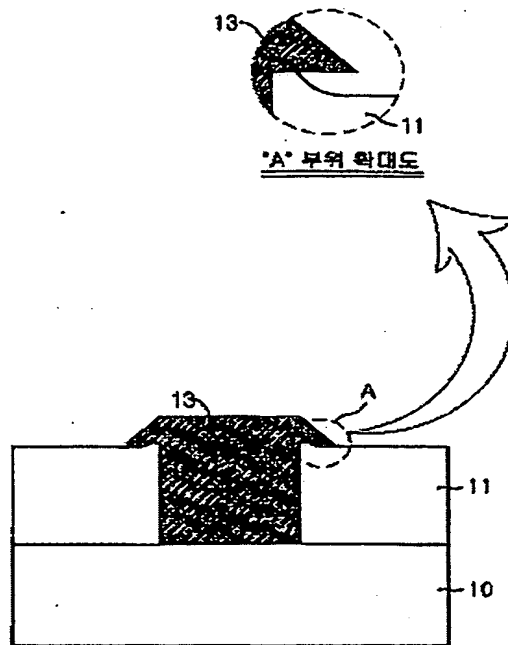
도면1c



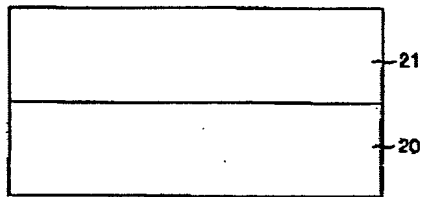
도면1d



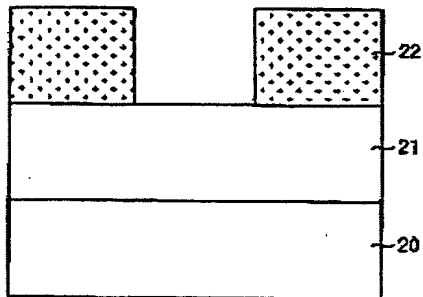
도면 1a



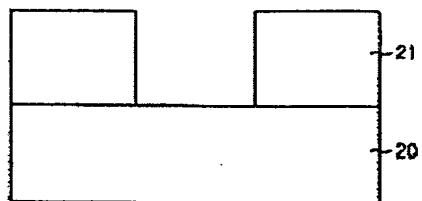
도면 2a



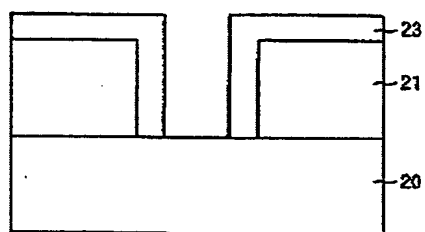
도면 2b



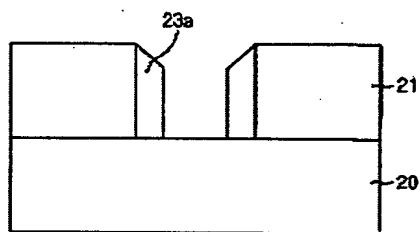
도면2c



도면2d



도면2e



도면2f

